

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-195387

(43) 公開日 平成8年(1996)7月30日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/31	C			
C 2 3 C 16/50				

審査請求 未請求 請求項の数4 O L (全 4 頁)

(21) 出願番号 特願平7-3668

(22) 出願日 平成7年(1995)1月13日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 武田 久雄

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

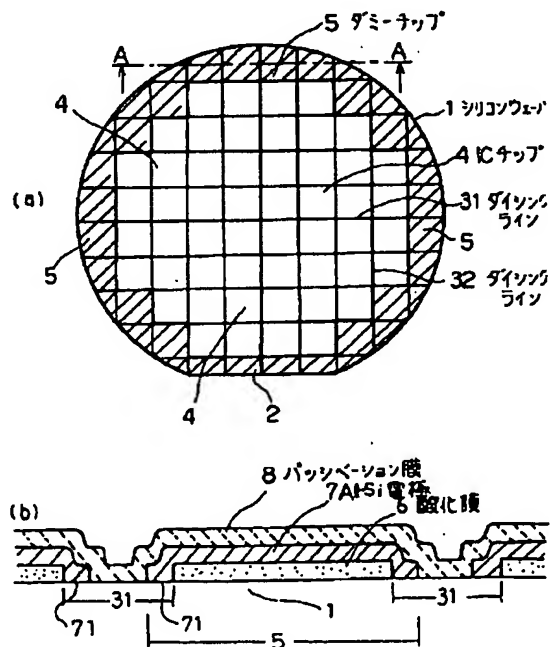
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 半導体集積回路装置の製造方法

(57) 【要約】

【目的】 ICチップの表面を覆う Si₃N₄ などの最終パッシベーション膜をプラズマ CVD 法で均一な所期の厚みに形成する。

【構成】 平行平板電極の環状上部電極に支持する半導体基板の電極と接触する周辺部に、ICの Al 配線形成と同時に電極層を形成する。これにより、基板と上部電極との間の接触抵抗が小さくなり、下部電極と基板との間の高周波インピーダンスが低下し、放電電力が増大するため、所期の厚さのパッシベーション膜が少ないばらつきで成膜される。



【特許請求の範囲】

【請求項1】半導体基板を平行電極の一方の電極に周辺部で支持してプラズマCVD法により基板の一面を覆う最終パッシベーション膜を形成する工程を備えた半導体集積回路装置の製造方法において、半導体基板の成膜面の周辺部に基板と接触する部分を有する電極層を形成し、この電極層の表面を平行電極の一方の電極に接触させてプラズマCVD法を行うことを特徴とする半導体集積回路装置の製造方法。

【請求項2】平行電極の一方の電極に接触する電極層を、半導体基板を複数の集積回路装置チップに分割した際に設計通りの寸法を有しないダミーチップの部分に形成する請求項1記載の半導体集積回路装置の製造方法。

【請求項3】平行電極の一方の電極に接触する電極層を半導体基板の外周より2mm以内の領域に形成する請求項1記載の半導体集積回路装置の製造方法。

【請求項4】平行電極の一方の電極に接触する電極層を、最上層の配線に用いるために半導体基板全面上に形成した金属層より配線と同時にパターニングして形成する請求項1ないし3のいずれかに記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、Si、N、SiO₂、PSGなどよりなる最終パッシベーション膜を平行平板型のプラズマCVD装置を用いて成膜する工程を備える半導体集積回路装置（以下ICと略す）の製造方法に関する。

【0002】

【従来の技術】ICに対する外界の影響を受けないようにして特性の安定を図るために配線パターン上に保護のための絶縁膜を被着するパッシベーション技術が行われる。そのような最終パッシベーション膜の成膜は、配線金属であるAl金属に対する影響を避けるため、Al-Si共晶温度である577℃以下の低温で行う必要がある。プラズマCVD法によるSiN₂、SiO₂、PSGの成膜は低温で行われるため、好ましい方法である。

【0003】図2は、ICの製造工程でSiウエーハ上の成膜に用いられる平行平板型プラズマCVD装置の電極部を示す。例えば400V、50kHzの高周波電圧が印加される平板状下部電極21と環状上部電極22が上下に対向している。上部電極22は環状の支持体23に支持され、中央の開口部上にシリコンウエーハ1が載置される。この状態で上、下電極21、22間に電圧を印加し、ウエーハ1と下部電極21の間にプラズマを発生させて原料ガスを反応させることにより、図示しない熱源により所定の温度に保ったウエーハ1の表面上にパッシベーション膜を成膜することができる。

【0004】

【発明が解決しようとする課題】図2に示したプラズマ

CVD法によりパッシベーション膜を成膜した場合、膜厚が均一にならず、例えばSi、N、膜の厚さが所期の厚さより40%も薄いウエーハが多数発生する問題があった。本発明は、この問題を解決し、半導体基板上に均一な最終パッシベーション膜を形成することのできるICの製造方法を提供することにある。

【0005】

【課題を解決するための手段】上記の目的を達成するために本発明は、半導体基板を平行電極の一方の電極に周辺部で支持してプラズマCVD法により基板の一面を覆う最終パッシベーション膜を形成する工程を備えたICの製造方法において、半導体基板の周辺部に基板と接触する部分を有する電極層を形成し、この電極層の表面を平行電極の一方の電極に接触させてプラズマCVDを行うものとする。平行電極の一方の電極に接触する電極層を、半導体基板を複数の集積回路装置チップに分割した際に設計通りの寸法を有しないダミーチップの部分に形成するか、半導体基板の外周より2mm以内の領域に形成することが望ましい。そしてその電極層を、最上層の配線に用いるために半導体基板全面上に形成した金属層より配線と同時にパターニングして形成することが良い。

【0006】

【作用】プラズマCVD法により成膜するパッシベーション膜に所期の厚さが得られないのは、半導体基板周辺部と電極との接触部における抵抗のために、対向電極と半導体基板との間の高周波インピーダンスが大きくなり、放電電力が低下するためであることがわかった。基板周辺部に基板と接触する部分を有する電極層を形成して、電極にこの電極層に低接触抵抗で接触させて基板を支持してプラズマCVDを行えば、対向電極と半導体基板との間の高周波インピーダンスが低下し、一定になるため、所期の厚さの最終パッシベーション膜が均一に得られ、ばらつきが小さくなる。この電極層は、ICの最上層の配線と同時に形成でき、基板周辺に生ずるダミーチップの部分に形成すれば、1枚の基板から得られるICチップの数は減少しない。また、基板外周にこの電極層を一定の幅で形成する場合には、電極層形成のための複雑なマスクを必要とせず、その電極層を外周から2mm以内の領域に形成すれば、電極と確実に接触させることができ、基板の有効部分の面積の損失も少なくてすむ。

【0007】

【実施例】図1(a)は本発明の一実施例におけるシリコンウエーハの形成パターンを説明する平面図であり、図1(b)は(a)のA-A線での拡大断面図である。図1(a)においてシリコンウエーハ1はオリエンテーションフラット2の部分を除いて円形の輪郭を持っている。ウエーハ1全体について行われるウエーハプロセス工程が完了したのち、例えば20mm×20mmの

寸法のチップを得るため、直交するダイシングライン31、32で表の目状に切断される。このようにして得られたチップのうち、図で斜線が引かれていない範囲のチップ4には、ICの完全なパターンが形成されている。しかし、図で斜線を引いて示した内部をウエーハ1の外周が通過するチップには、ICのパターンの一部が欠如しており、ダミーチップ5となる。図1(b)からわかるように、このダミーチップ5においては、ウエーハ1の表面上の酸化膜6を線状に除去して形成されたダイシングライン31、32の領域の露出ウエーハ面の一部にA1-Si電極7が接触している。接触面71の幅は1μm以上である。プラズマCVD法は、このA1-Si電極7が露出している面を下に向けて図2に示すように上部電極22上に設置して行く。面71でウエーハ1に接触しているA1-Si電極7が上部電極22に接触することにより、ウエーハ1と下部電極22との間のインピーダンスが低下し、一定の値になる。その結果、図に示すように上部に成膜されるパッシベーション膜8、例えばSi₃N₄膜の厚さは厚くなり、処理ウエーハ間で所期の厚さの±3%以内のばらつきにおさまる。なお、ダミーチップ5の間のダイシングライン領域31あるいは32の中央部にはA1-Si電極7が形成されていないので、ダイシングはICチップ4の間と同様に容易にできる。

【0008】このようなダミーチップ部のパターンを形成するには、従来行われているようにICチップ用のパターンがウエーハの寸法より広い範囲で一様に形成されているマスクを用いなくて、各フォトリソ工程では、ICチップ4の部分にのみIC用のパターンを露光し、ダミーチップ部5には別の2種類のフォトリソ工程を用いて酸化膜6のパターン、その酸化膜6の開口部へ1μm以上はみ出すA1-Si電極7のパターンの露光をする。A1-Si電極7のパターニングは、ICチップ4の部分の最上層のA1配線のパターニングと同時に進行。酸化膜6、A1-Si電極7のパターニングに無関係のフォトリソ工程の時には、ダミーチップ部にレジストが残留しないようにする。以上のような露光は、*

* マスクをウエーハに密着または近接させて一度に露光する密着あるいは近接露光装置、光学系を用いて一線上を掃引するミラー投影露光装置もしくはステッパを用いてマスクパターンをずらしながら繰り返して投影露光するステップ式投影露光装置のいずれを用いても行うことができる。

【0009】別の実施例としては、ウエーハ周辺部に分散してウエーハ露出面が存在している状態で、最上層のA1配線形成時のフォトリソ工程におけるフォトリソにネガ形を用い、ICパターンのためのマスク露光と別にウエーハ外周より2mm以内の領域に一定の幅で露光してその部分にA1電極を残す方法がある。この場合はこのA1電極の内側の領域にダミーチップが生ずることは避けられない。

【0010】

【発明の効果】本発明によれば、半導体基板の周辺部のダミーチップ部分などを利用してプラズマCVD法時に基板を支持する電極と接触する電極層を設けることにより高周波インピーダンスを低下させることができ、所期の膜厚の最終パッシベーション膜が少ないばらつきで得られ、信頼性の高いICを製造することができた。

【図面の簡単な説明】

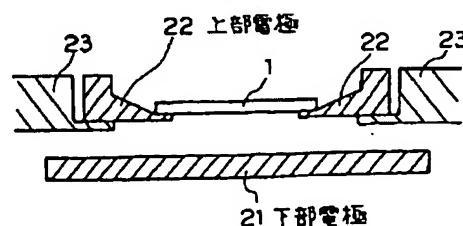
【図1】本発明の一実施例におけるシリコンウエーハの形成パターンを説明する図、(a)はウエーハ平面図、(b)は(a)のA-A線での部分拡大断面図

【図2】平行平板型プラズマCVD装置の電極部の断面図

【符号の説明】

- 1 シリコンウエーハ
- 31、32 ダイシングライン
- 4 ICチップ
- 5 ダミーチップ
- 6 酸化膜
- 7 A1-Si電極
- 8 パッシベーション膜
- 21 下部電極
- 22 上部電極

【図2】



〔図1〕

